

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-214059

(43)公開日 平成10年(1998) 8月11日

(51)Int.Cl.⁶

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

K

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21)出願番号 特願平9-212316

(22)出願日 平成9年(1997) 8月6日

(31)優先権主張番号 特願平8-315721

(32)優先日 平8(1996)11月27日

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 小島 文人

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 田島 正也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

最終頁に続く

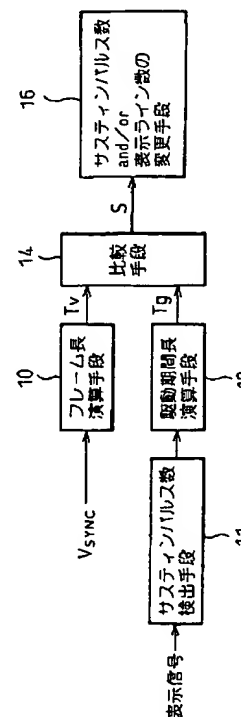
(54)【発明の名称】 プラズマディスプレイ装置

(57)【要約】

【課題】 様々な周波数の外部入力信号に対して適応しうるプラズマディスプレイ装置を得る。

【解決手段】 PDPとこのパネルを駆動する手段を備えるプラズマディスプレイ装置において、この駆動手段にさらに、外部入力の垂直同期信号から1フレーム長を演算する手段と、1フレーム中に含まれるサステインパルス数を検出する手段と、検出されたサステインパルス数からパネルの1駆動期間長を演算する手段と、このようにして得られた1フレーム長と1駆動期間長とを比較する手段と、この比較結果に基づいてサステインパルス数を変更する手段とを設ける。

本発明の原理図



【特許請求の範囲】

【請求項1】 プラズマディスプレイパネルと、表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサステインパルスを前記プラズマディスプレイパネルに印加し維持放電させるサブフレーム方式の駆動手段とを備えたプラズマディスプレイ装置において、前記駆動手段はさらに、外部より入力される表示信号に付随する垂直同期信号の1周期長から前記表示のための1フレームの長さを演算するフレーム長演算手段と、前記表示信号に含まれる輝度情報に基づいて1フレーム中の合計サステインパルス数を検出する手段と、前記検出されたサステインパルス数に基づいて1フレームを表示するに要する前記プラズマディスプレイパネルの1駆動期間長を演算する駆動期間長演算手段と、前記フレーム長演算手段と前記駆動期間長演算手段の演算結果を比較する手段と、前記比較手段の結果に基づいて1フレーム中の合計のサステインパルス数を変更する手段とを具備する、プラズマディスプレイ装置。

【請求項2】 前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも小さい場合、前記サステインパルス数の変更手段は前記合計のサステインパルス数を減少させる方向に変更するものである、請求項1に記載のプラズマディスプレイ装置。

【請求項3】 前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも大きい場合、前記サステインパルス数の変更手段は前記合計のサステインパルス数を増加させる方向に変更するものである、請求項1に記載のプラズマディスプレイ装置。

【請求項4】 前記駆動手段はさらに、前記比較手段の結果に変更があった場合この状態での一定時間の経過を検出する検出手段を備え、前記サステインパルス数の変更手段は前記検出手段によって一定時間の経過が検出された場合に、前記合計のサステインパルス数を変更するものである、請求項1に記載のプラズマディスプレイ装置。

【請求項5】 前記フレーム長演算手段、駆動期間長演算手段、および比較手段は、マイクロプロセッサユニットと該マイクロプロセッサユニットを前記フレーム長演算手段、駆動期間長演算手段、および比較手段として機能させるためのプログラムを記録した媒体とで構成される、請求項1に記載のプラズマディスプレイ装置。

【請求項6】 プラズマディスプレイパネルと、表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサステインパルスを前記プラズマディスプレイパネルに印加し維持放電させるサブフレーム方式の駆動手段を備えたプラズマディスプレイ装置において、前記駆動手段はさらに、複数のアドレスを有し該各アドレス中に前記各サブフレーム中のサステインパルス数の組み合わせを書き込んだROMテ

ーブルと、前記表示信号に付随して入力される垂直同期信号の1周期長からこの入力信号の1フレーム長を演算するフレーム長演算手段と、前記入力信号によって設定された輝度に対応する前記ROMテーブルアドレスからそのアドレスにおける全サブフレーム中の合計のサステインパルス数を演算する手段と、前記演算された合計のサステインパルス数から前記プラズマディスプレイパネルの1駆動期間長を演算する駆動期間長演算手段と、前記フレーム長演算手段と前記駆動期間長演算手段の演算結果を比較する手段と、前記比較手段の結果に基づいて前記ROMテーブルのアドレスを変更する手段とを具備する、プラズマディスプレイ装置。

【請求項7】 前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも小さい場合、前記アドレス変更手段は前記ROMテーブルのアドレスを前記合計のサステインパルス数を減少させる方向に変更する、請求項6に記載のプラズマディスプレイ装置。

【請求項8】 前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも大きい場合、前記アドレス変更手段は前記ROMテーブルのアドレスを前記合計のサステインパルス数を増加させる方向に変更する、請求項6に記載のプラズマディスプレイ装置。

【請求項9】 前記駆動手段はさらに、前記比較手段の結果に変更があった場合この状態での一定時間の経過を検出する検出手段を備え、前記アドレス変更手段は前記検出手段によって一定時間の経過が検出された場合に、前記アドレスを変更するものである、請求項6に記載のプラズマディスプレイ装置。

【請求項10】 前記フレーム長演算手段、駆動期間長演算手段、および比較手段は、マイクロプロセッサユニットと該マイクロプロセッサユニットを前記フレーム長演算手段、駆動期間長演算手段、および比較手段として機能させるためのプログラムを記録した媒体とで構成される、請求項6に記載のプラズマディスプレイ装置。

【請求項11】 複数の発光セルをマトリックス状に配置したプラズマディスプレイパネルと、前記複数の発光セルを線順次で走査して駆動すると共に表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサステインパルスを実記複数の発光セルに印加するサブフレーム方式の駆動手段とを備えたプラズマディスプレイ装置において、前記駆動手段はさらに、外部より入力される表示信号に付随する垂直同期信号の1周期長から前記表示のための1フレームの長さを演算するフレーム長演算手段と、前記表示信号に含まれる輝度情報に基づいて1フレーム中の合計サステインパルス数を検出する手段と、前記検出されたサステインパルス数に基づいて1フレームを表示するに要する前記プラズマディスプレイパネルの1駆動期間長を演算する駆動期間長演算手段と、前記フレーム長演算手段と前記駆動期間長演算手段の演算結果を比較する手段

と、前記比較手段の結果に基づいて前記線順次で走査するライン数を変更する手段とを具備する、プラズマディスプレイ装置。

【請求項12】 前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも小さい場合、前記走査ライン数の変更手段は、前記走査ライン数を減少させる方向に変更する、請求項11に記載のプラズマディスプレイ装置。

【請求項13】 前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも大きい場合、前記走査ライン数の変更手段は前記走査ライン数を増加させる方向に変更する、請求項11に記載のプラズマディスプレイ装置。

【請求項14】 前記駆動手段はさらに、前記比較手段の結果に変更があった場合この状態での一定時間の経過を検出する検出手段を備え、前記走査ライン数の変更手段は前記検出手段によって一定時間の経過が検出された場合に、前記走査ライン数を変更するものである、請求項11に記載のプラズマディスプレイ装置。

【請求項15】 前記フレーム長演算手段、駆動期間長演算手段および比較手段は、マイクロプロセッサユニットと該マイクロプロセッサユニットを前記フレーム長演算手段、駆動期間長演算手段、および比較手段として機能させるためのプログラムを記録した媒体とで構成される、請求項11に記載のプラズマディスプレイ装置。

【請求項16】 プラズマディスプレイパネルと、表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサステインパルスを実行する前記プラズマディスプレイパネルに印加し維持放電させるサブフレーム方式の駆動手段とを備えたプラズマディスプレイ装置において、前記駆動手段はさらに、外部より入力される表示信号に付随する垂直同期信号の1周期長から前記表示のための1フレームの長さを演算するフレーム長演算手段と、前記演算された1フレーム長から表示可能な最大のサステインパルス数を演算するとともに該演算された最大のサステインパルス数から表示可能な最大輝度を演算する手段と、該演算された最大輝度と予め設定された基準輝度との一致を検出する手段と、該検出手段の結果が不一致の場合前記基準輝度に相当するサステインパルス数を演算し該演算されたサステインパルス数を最大サステインパルス数として設定する手段とを具備する、プラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プラズマディスプレイ装置に関し、特にサブフレーム方式を採用した駆動装置を備えるプラズマディスプレイ装置に関する。

【0002】

【従来の技術】 平面型表示装置の一種であるプラズマディスプレイパネル（以下「PDP」と略す）は、パネル

の構造がきわめて単純で電極をはじめパネルの構造体のすべてを厚膜印刷技術で容易に形成できるメリットから、特に各種OA機器やテレビジョン受像機などさまざまな表示用途に利用されている。

【0003】 カラーPDPの表示画素構造は3電極型、すなわち放電空間を間にして対向する2枚のガラス基板の一方にアドレス電極と蛍光体を設け、他方にX電極とY電極を交差状に設けたものが一般的である。この3電極型のPDPに適用する駆動方式として、1フレームを例えば8個のサブフレームに分割し、各サブフレームの維持放電期間を1:2:4:8:16:32:64:128の比率（この例では等比となっているが、必ずしも等比とは限らない）に設定すると共に、これらのサブフレームを組み合わせで多階調化を実現した、所謂「サブフレーム方式」が知られている。

【0004】 図1はサブフレーム方式のフレーム構造を示す概念図であり、図示の例では1フレームを8個のサブフレームSF1～SF8で構成している。各サブフレームは3種類の期間、すなわち「リセット期間」、「アドレス期間」および「維持放電期間」からなり、最初の2個の期間の長さは各サブフレームにおいて固定であるが、維持放電期間t1～t8は上述したように一定の比率で異なっている。なお、L1、L2、…、LNは水平走査線であり、また各サブフレームのアドレス期間内の太線は走査線L1、L2、…、LNを線順次で選択している様子を表している。

【0005】 次に図2の電圧波形図を用いて、図1のサブフレーム方式での一般的な駆動方式について簡単に説明する。図2(a)は1サブフレーム期間におけるアドレス電極の、図2(b)はX電極の、および図2(c)はY電極の波形タイミング図である。図2(d)は、各波形におけるリセット期間、アドレス期間、維持放電期間を特定している。なお、以下の説明で使用する電圧値は例示的な値であり、これに限定されない。リセット期間では、まず、全てのY電極に0Vを与えながら、放電に必要な十分な電位差を与えるために、アドレス電極に+110V程度の正パルスを与えた状態で、X電極に+330V程度の正パルス（全面書き込みパルスとも言う）を与える。これによりそれまでの表示状態に係わらず、全てのセルで放電が生じる。次に、アドレス電極とX電極に0Vを与えて再び全てのセルで放電を生じさせると、この放電は、電極間の電位差がゼロのため、壁電荷が形成されずに自己中和して終息し、いわゆる自己消去放電が行われる。この自己消去放電によって、パネル内の全セルの状態が、壁電荷のない均一な状態にリセットされる。このリセット期間は、前のサブフレームの点灯状態に係わらず全てのセルを同じ状態にして、次のアドレス期間においてアドレス（書き込み）放電を安定に行うために設けられている。

【0006】 なおこのリセット期間において、Y電極に

図示するように第1補助パルスVass1および第2補助パルスVass2、さらに補助消去パルスVaeを与えてY電極上の壁電荷を消滅させるステップを設けてもよい。この時、アドレス電極にはこれら各パルスに対応して+110V程度の正パルスを印加する。次のアドレス期間において、表示データに応じたセルのオン/オフを行うために、パネルを線順次で走査し、アドレス放電を行う。まずX電極に+50V程度の正電圧を与えながら、Y電極に線順次で-150~-160V程度の負のパルス（以下「スキャンパルス」）を印加し、且つ、アドレス電極の内、維持放電を起こすセル、すなわち、点灯させるセルに対応するアドレス電極に選択的に+60V程度の正パルス（以下「アドレスパルス」）を印加する。なお、スキャンパルスを印加しないY電極には-50~-60V程度の負電圧を印加しておく。この結果、アドレスパルスを印加したアドレス電極とスキャンパルスを印加したY電極との間には、放電に必要な充分な電位差（210~220V程度）が生じるので、この両電極間に放電（アドレス放電）が生じる。一方、X電極とY電極の間のスキャンパルス部分の電位差は200V~210V程度で、アドレス電極との間よりも10V程度低く、この電位差だけでは自主放電は生じないが、前記アドレス放電を引き金（トリガ）にしてX電極とY電極間で放電が生じ、その交点に位置する誘電体層に壁電荷が形成される。

【0007】最後の維持放電期間（サステイン期間とも言う）では、X電極とY電極に+180V程度の正パルス（サステインパルス）を交互に印加し、前のアドレス期間において形成された壁電荷を利用して、X、Y電極間に放電（維持放電）を発生させて、1サブフレームの画像表示を行う。この時、アドレス電極と、X電極またはY電極間での放電を避けるために、アドレス電極には110V程度の電圧が印加されている。

【0008】以上のような「アドレス/維持放電分離型・書き込みアドレス方式」の駆動方式では、維持放電期間の長短、つまり維持パルスの回数によって画面の表示輝度が決定される。サステインパルスの周期は全てのサブフレームにおいて同じであり、したがって図1の例では、各サブフレームにおけるサステインパルス数は、1n:2n:4n:8n:16n:32n:64n:128nとなる。そのため、表示階調に応じて点灯させるサブフレームを選択し、組み合わせることにより、この場合では0から256までの階調で輝度を制御することができる。なお「n」はサステインパルスの周波数（以下「サステイン周波数」）によって決まる整数である。

【0009】通常、サステインパルス数の組み合わせはROMテーブルに用意され、画面の設定輝度に応じてこのROMテーブルから各サブフレームにおけるサステインパルス数の組み合わせを選択することが行われる。図3はROMテーブルの概念図である。図示の例では簡単

化のためにサブフレームをSF1~SF4までの4個とし、サステインパルスの数の組み合わせをSUS0~SUS127までの128通りとしている。なおSUS0~SUS127はROMアドレスを示す。したがって設定輝度に応じて所定のROMアドレスを選択することによって、各サブフレームにおけるサステインパルス数が設定され、この設定輝度での画面表示が行われる。

【0010】例えば図3において、ROMアドレスSUS0を選択した場合には、サブフレームSF1のサステインパルス数は1個、以下SF2は2個、SF3は4個、SF4は8個となり、1フレームの合計のサステインパルス数は15個となる。一方、ROMアドレスSUS127を選択した場合は、SF1で16個、SF2で32個、SF3で64個、SF4で128個となり、1フレームの合計のサステインパルス数は240個となる。この結果、15対240、すなわち16倍の輝度差が得られる。

【0011】なお、各サブフレームにおいて維持放電期間はそれぞれ異なった長さを持つ一方で、リセット期間およびアドレス期間は全サブフレームで固定された長さを有する。また、図1に示すように各フレーム内には、サブフレームSF1~SF8の後に、駆動波形を出力しない休止期間が設けられている。以上に示したサブフレーム方式の駆動方法は、極めて原理的なものであって、実際のプラズマディスプレイ装置を構成する場合には種々変更がなされている。たとえば図1に示すサブフレームでは、各サブフレーム毎にサステインパルス数を一定比率で変えることによって一定の表示階調を得ているが、高次のサブフレーム、例えばSF6、SF7、SF8、のサステインパルス数を同じ数にして、輝度を飽和させることも行われる。いずれにしろサステインパルス数の選択は、一定の比率および各フレーム毎に異なる数に限定されるものではない。

【0012】

【発明が解決しようとする課題】以上のように通常のプラズマディスプレイでは、維持放電期間に印加するサステインパルス数を選択することによって、輝度の階調を制御している。一方、プラズマディスプレイは、テレビジョン受像機、ビデオテープデッキあるいはコンピュータ等の機器に接続され、送られてくる表示信号を表示する。この場合、機器からは表示信号と共に各種同期信号が入力されるが、この同期信号の周波数は機器によって相違しているのが普通である。表示画面のフレーム長は入力される同期信号の周波数によって決まるため、プラズマディスプレイが接続される機器によってフレーム長が変化するという現象が起こる。

【0013】フレーム長が変化することによって次のような不具合が生じる。例えばフレーム長がそのプラズマディスプレイで予め想定されたフレーム長よりも短くなった場合、サステインパルスの数を最大（図3の例で

は、SUS127)にすると表示信号の1フレーム期間からPDPの1駆動期間(リセット期間+アドレス期間+維持放電期間、図1参照)がはみ出してしまうことがあり、その結果正常な表示が行えない。

【0014】ここに、リセット期間とアドレス期間の長さは可能な限り短く設定された固定値である。一方、維持放電期間はサステインパルス数およびサステインパルス周期によって決まる可変値であり、前記ROMテーブルを例にすると最大で、 $SF1=16T\mu s$ 、 $SF2=32T\mu s$ 、 $SF3=64T\mu s$ 、 $SF4=128T\mu s$ となる(但し、 T はサステインパルスの1周期の長さ)。

【0015】したがって、この場合の1駆動期間 α は、 $\{ \text{(リセット期間とアドレス期間を足した時間)} \times \text{サブフレーム数} + |16T\mu s + 32T\mu s + 64T\mu s + 128\mu s| \}$ で与えられるから、正常に表示できる信号の1フレーム長は、 α (正確には α +垂直帰線時間)を上回っていなければならない。そのため前記のように1駆動期間が1フレーム期間を越えてしまうと、表示が正常に行えなくなる。

【0016】なお反対に、外部入力同期信号の周波数変化に伴って1フレーム期間が1駆動期間よりも短くなった場合は休止期間が不必要に長くなり、輝度が低下する。以上のようにサブフレーム方式を採用した従来のプラズマディスプレイ装置は、外部入力同期信号の様々な周波数変化に対して十分な適応性を持たず、多くの解決すべき技術的課題を残している。

【0017】本発明は、以上に示した従来技術の技術的課題を解決すべく成されたものであり、様々な周波数の外部入力同期信号に対して十分な適応性を有するプラズマディスプレイ装置の実現を目的とする。

【0018】

【課題を解決するための手段】前記目的を達成するために、本発明のプラズマディスプレイ装置は、プラズマディスプレイパネルと、表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサステインパルスを前記プラズマディスプレイパネルに印加し維持放電させるサブフレーム方式の駆動手段とを備えたプラズマディスプレイ装置において、前記駆動手段はさらに、外部より入力される表示信号に付随する垂直同期信号の1周期長から前記表示のための1フレームの長さを演算するフレーム長演算手段と、前記表示信号に含まれる輝度情報に基づいて1フレーム中の合計サステインパルス数を検出する手段と、前記検出されたサステインパルス数に基づいて1フレームを表示するに要する前記プラズマディスプレイパネルの1駆動期間長を演算する駆動期間長演算手段と、前記フレーム長演算手段と前記駆動期間長演算手段の演算結果を比較する手段と、前記比較手段の結果に基づいて1フレーム中の合計のサステインパルス数を変更する手段とを具備す

る、プラズマディスプレイ装置を構成する。

【0019】本発明の他の態様では、前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも小さい場合、前記サステインパルス数の変更手段は前記合計のサステインパルス数を減少させる方向に変更するものである、プラズマディスプレイ装置を構成する。本発明の更に他の態様では、前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも大きい場合、前記サステインパルス数の変更手段は前記合計のサステインパルス数を増加させる方向に変更するものである、プラズマディスプレイ装置を構成する。

【0020】本発明のさらに他の態様では、前記駆動手段はさらに、前記比較手段の結果に変更が有った場合この状態での一定時間の経過を検出する検出手段を備え、前記サステインパルス数の変更手段は前記検出手段によって一定時間の経過が検出された場合に、前記合計のサステインパルス数を変更するものである、プラズマディスプレイ装置を構成する。

【0021】本発明のさらに他の態様では、前記フレーム長演算手段、駆動期間長演算手段、および比較手段は、マイクロプロセッサユニットと該マイクロプロセッサユニットを前記フレーム長演算手段、駆動期間長演算手段、および比較手段として機能させるためのプログラムを記録した媒体とで構成される、プラズマディスプレイ装置を構成する。

【0022】本発明のさらに他の態様では、プラズマディスプレイパネルと、表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサステインパルスを前記プラズマディスプレイパネルに印加し維持放電させるサブフレーム方式の駆動手段を備えたプラズマディスプレイ装置において、前記駆動手段はさらに、複数のアドレスを有し該各アドレス中に前記各サブフレーム中のサステインパルス数の組み合わせを書き込んだROMテーブルと、前記表示信号に付随して入力される垂直同期信号の1周期長からこの入力信号の1フレーム長を演算するフレーム長演算手段と、前記入力信号によって設定された輝度に対応する前記ROMテーブルアドレスからそのアドレスにおける全サブフレーム中の合計のサステインパルス数を演算する手段と、前記演算された合計のサステインパルス数から前記プラズマディスプレイパネルの1駆動期間長を演算する駆動期間長演算手段と、前記フレーム長演算手段と前記駆動期間長演算手段の演算結果を比較する手段と、前記比較手段の結果に基づいて前記ROMテーブルのアドレスを変更する手段とを具備する、プラズマディスプレイ装置を構成する。

【0023】本発明のさらに他の態様では、前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも小さい場合、前記アドレス変更手段は前記ROMテーブルのアドレスを前記合計のサステインパルス

数を減少させる方向に変更する、プラズマディスプレイ装置を構成する。本発明のさらに他の態様では、前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも大きい場合、前記アドレス変更手段は前記ROMテーブルのアドレスを前記合計のサスティンパルス数を増加させる方向に変更する、プラズマディスプレイ装置を構成する。

【0024】本発明のさらに他の態様では、前記駆動手段はさらに、前記比較手段の結果に変更があった場合この状態での一定時間の経過を検出する検出手段を備え、前記アドレス変更手段は前記検出手段によって一定時間の経過が検出された場合に、前記アドレスを変更するものである、プラズマディスプレイ装置を構成する。本発明のさらに他の態様では、前記フレーム長演算手段、駆動期間長演算手段、および比較手段は、マイクロプロセッサユニットと該マイクロプロセッサユニットを前記フレーム長演算手段、駆動期間長演算手段、および比較手段として機能させるためのプログラムを記録した媒体とで構成される、プラズマディスプレイ装置を構成する。

【0025】本発明のさらに他の態様では、複数の発光セルをマトリックス状に配置したプラズマディスプレイパネルと、前記複数の発光セルを線順次で走査して駆動すると共に表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサスティンパルスを前記複数の発光セルに印加するサブフレーム方式の駆動手段とを備えたプラズマディスプレイ装置において、前記駆動手段はさらに、外部より入力される表示信号に付随する垂直同期信号の1周期長から前記表示のための1フレームの長さを演算するフレーム長演算手段と、前記表示信号に含まれる輝度情報に基づいて1フレーム中の合計サスティンパルス数を検出する手段と、前記検出されたサスティンパルス数に基づいて1フレームを表示するに要する前記プラズマディスプレイパネルの1駆動期間長を演算する駆動期間長演算手段と、前記フレーム長演算手段と前記駆動期間長演算手段の演算結果を比較する手段と、前記比較手段の結果に基づいて前記線順次で走査するライン数を変更する手段とを具備する、プラズマディスプレイ装置を構成する。

【0026】本発明のさらに他の態様では、前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも小さい場合、前記走査ライン数の変更手段は、前記走査ライン数を減少させる方向に変更する、プラズマディスプレイ装置を構成する。本発明のさらに他の態様では、前記比較手段の比較結果において前記1フレーム長が前記1駆動期間長よりも大きい場合、前記走査ライン数の変更手段は前記走査ライン数を増加させる方向に変更する、プラズマディスプレイ装置を構成する。

【0027】本発明のさらに他の態様では、前記駆動手段はさらに、前記比較手段の結果に変更があった場合こ

の状態での一定時間の経過を検出する検出手段を備え、前記走査ライン数の変更手段は前記検出手段によって一定時間の経過が検出された場合に、前記走査ライン数を変更するものである、プラズマディスプレイ装置を構成する。

【0028】本発明のさらに他の態様では、前記フレーム長演算手段、駆動期間長演算手段および比較手段は、マイクロプロセッサユニットと該マイクロプロセッサユニットを前記フレーム長演算手段、駆動期間長演算手段、および比較手段として機能させるためのプログラムを記録した媒体とで構成される、プラズマディスプレイ装置を構成する。

【0029】本発明のさらに他の態様では、プラズマディスプレイパネルと、表示のための1フレームを複数のサブフレームに分割し該各サブフレーム毎に予め決められた数のサスティンパルスを前記プラズマディスプレイパネルに印加し維持放電させるサブフレーム方式の駆動手段とを備えたプラズマディスプレイ装置において、前記駆動手段はさらに、外部より入力される表示信号に付随する垂直同期信号の1周期長から前記表示のための1フレームの長さを演算するフレーム長演算手段と、前記演算された1フレーム長から表示可能な最大のサスティンパルス数を演算するとともに該演算された最大のサスティンパルス数から表示可能な最大輝度を演算する手段と、該演算された最大輝度と予め設定された基準輝度との一致を検出する手段と、該検出手段の結果が不一致の場合前記基準輝度に相当するサスティンパルス数を演算し該演算されたサスティンパルス数を最大サスティンパルス数として設定する手段を具備する、プラズマディスプレイ装置を構成する。

【0030】

【発明の実施の形態】図4は、本発明のプラズマディスプレイ装置において、外部入力信号のフレーム長の長短に対応しうる機能を実現するための構成を示す原理図である。図において10は、外部より入力される同期信号の内、垂直同期信号 V_{sync} の入力を受けてその1周期長から1フレーム長 T_v を演算するフレーム長演算手段、11は外部入力信号に含まれる輝度情報をもとに1フレーム内の合計のサスティンパルス数を検出する手段、12は検出された合計のサスティンパルス数を基に実際の駆動期間長 T_g を演算する駆動期間長演算手段である。駆動期間 T_g の計算は従来例の説明の項で述べたように、 $\{1 \text{ (リセット期間とアドレス期間を足した時間)} \times \text{サブフレーム数}\} + \{ \text{合計サスティンパルス数} \times T \}$ で求められる。なお T はサスティンパルスのパルス幅である。ここで(リセット期間とアドレス期間を足した時間)×サブフレーム数は固定値であり、またサスティンパルスのパルス幅も固定であるため、駆動期間 T_g は実際はサスティンパルス数にのみ依存する。

【0031】図において14は比較手段であり、演算さ

れたフレーム長 T_v と駆動期間長 T_g 間の比較を行って比較信号 S を出力する。16は、サステインパルス数、または表示ライン数の変更手段である。本発明の後述する実施形態1では、変更手段16は、比較手段14において $T_v < T_g$ であると判断された場合1フレーム中の合計のサステインパルス数を減少させて、1駆動期間長 T_g が1フレーム内に納まるようにする。これによって、若干の輝度低下を招くものの、PDPの異常表示が回避される。反対に $T_v > T_g$ の場合は、1フレーム中の合計のサステインパルス数を増加させて、輝度を上げる。

【0032】本発明の他の実施形態では、変更手段16は、比較手段14において $T_v < T_g$ であると判断された場合、表示ライン数を減少させて1駆動期間長 T_g が1フレーム内に納まるようにする。反対に $T_v > T_g$ の場合は、表示ライン数を増加させる。PDPは、表示セルをマトリックス状に配置し、各セルを線順次で走査して駆動するものであり、表示ライン数を減少することはアドレス期間を短縮することを意味する。例えば画面上下の何本かの表示ラインの駆動を停止して表示ライン数を減少することにより、各サブフレームにおいてアドレス期間が一様に短縮され、その結果1駆動期間長 T_g が減少し、1フレーム内に納まるようになる。これによってPDPの異常表示が回避される。

【0033】一方、比較手段14において $T_v > T_g$ の場合は、表示ライン数を増加させることによって、各サブフレームのアドレス期間が一様に増加し、 $T_v > T_g$ の範囲内で表示ライン数を最大にすることができる。なお、変更手段16において、サステインパルス数の増減および表示ライン数の増減を共に行って、1フレーム長 T_v と1駆動期間長 T_g の制御を行う事も可能である。

【0034】図5は、本発明の各実施形態を実現する、プラズマディスプレイ装置の概略構成を示すブロック図、図6はその要部の詳細を示す図である。図において、20はPDP、21はアドレスドライバ、22はYスキャンドライバ、23はY共通ドライバ、24はX共通ドライバ、25はこれら各ドライバの駆動を制御するための制御回路である。

【0035】制御回路25は、表示データ制御部26とパネル駆動制御部27を含む。表示データ制御部26は、図6に示すように、外部から与えられる表示データ(DATA)を一時記憶するフレームメモリ26aと、このフレームメモリ26a内のデータに対して所定の信号操作とタイミング処理を施してアドレスドライバ21に出力する、データコンバータ26bを有している。パネル駆動制御部27は、スキャンドライバ制御部28と共通ドライバ制御部29を含み、外部から与えられる垂直同期信号(V_{sync})に基づいて各種タイミング信号を発生し、表示データ制御部26、Yスキャンドライバ22、Y共通ドライバ23およびX共通ドライバ24に供

給する。

【0036】アドレスドライバ21は、表示選択用高電圧電源 V_a を用いてアドレスパルスを発生し、このアドレスパルスをパネル20のアドレス電極に選択的に印加する。またYスキャンドライバ22は、表示維持用高電圧電源 V_s を用いてスキャンパルスを発生し、このスキャンパルスをパネル20のY電極に線順次で印加する。なおこれらのアドレスパルスおよびスキャンパルスは1サブフレーム中のアドレス期間において発生する。

【0037】Y共通ドライバ23は、表示維持用高電圧電源 V_s を用いてサステインパルスを発生し、1サブフレーム中の維持放電期間においてこのサステインパルスをパネル20のすべてのY電極に同時に印加し、X共通ドライバ24は同じく表示維持用高電圧電源 V_s を用いてサステインパルスおよび全面書き込みパルスを発生し、1サブフレーム中のリセット期間において、この全面書き込みパルスをパネル20のすべてのX電極に同時に印加するとともに、1サブフレーム中の維持放電期間において、このサステインパルスを全X電極に同時に印加する。

【0038】図6は、図4に示した機能を実現する部分を中心にして図5に示す装置の要部を示したブロック図である。図示するように、共通ドライバ制御部29は、マイクロプロセッサユニット(以下「MPU」と略す)29aと、ゲートアレイ29bおよびサステインパルス数の組み合わせを書き込んだROMテーブル29cを含んでいる。図7に、サブフレーム数が8の場合のROMテーブルの一例を示す。なお図6において、スキャンドライバ制御部28は、スキャンコントローラ28aを含んでいるものとする。

【0039】以下に、図5および6に示す装置の動作を、特に本発明の目的を実現する機能を中心に説明する。外部入力映像信号(表示信号、DATA)が表示データ制御部26のフレームメモリ26aに入力されると、この信号中に含まれるサブフレーム(SF)数、輝度に対応するサステインパルス数等を示すデータが、データコンバータ26b、ゲートアレイ29bを介してMPU29aに入力される。MPU29aでは、この入力に基づいてパネル20の1駆動期間長 T_g の演算が行われる。MPU29aには外部垂直同期信号 V_{sync} が入力されており、この信号の1周期長に基づいて1フレーム長 T_v が演算される。これらの演算結果は、MPU29aにおいて比較され、その比較結果に基づいてサステインパルス数の補正值、あるいは表示ライン数の補正值が決定される。これらの補正值は、ゲートアレイ29bを介してスキャンコントローラ28aに入力され、スキャンコントローラ28aはこの補正值に基づいて線順次走査する表示ライン数を増減し、あるいはROMテーブル29cのアドレスを上下することによりサステインパルス数を増減して、駆動期間長 T_g をコントロールする。

【0040】以下に、図5および6に示す装置の種々の実施形態を、フローチャートを参照しながら説明する。なおこのフローチャートは、マイクロプロセッサユニット29aのプログラムの状態を示すものであり、したがって本発明の装置では、マイクロプロセッサユニット29aのプログラムを種々変更することによって、各種の実施形態を実現することが可能である。

【0041】また以下の各種の実施形態を説明するにあたって、図7に示すROMテーブルを参照するが、このROMテーブルは、サブフレーム方式でかつ電力消費制限機能（APC機能）付きのPDPにおいて使用される、輝度（サステインパルス数）上限値を設定するためのROMテーブルの一例を示している。PDPでは、例えばROMテーブルのSUS127（図3参照）を選択した場合には輝度が最大になると同時に消費電力も最大（但し表示率100%の場合）となる。通常の信号の表示率はおよそ30%程度であるから、仮にSUS127を選択しても最大電力にはならないが、稀に表示率100%もしくはそれに近い表示率になると、設計電力をオーバーするおそれがある。このため、APC機能では、設計上の最大輝度（MCBCと言う）を越えないようにROMテーブルのアドレス選択を制限している。図7に示すROMテーブルは、この最大輝度を示したものである。しかしながら図7のROMテーブルはあくまでも一例として示すもので、本発明がこのような特定の目的に使用されるROMテーブルに限定されるものでないことは勿論である。

【0042】（実施形態1）図8に示すフローチャートは、入力信号のフレーム長が1駆動期間長よりも短い場合の異常表示を、サステインパルス数を減少させることによって回避する処理プロセスを示したものである。まずステップ100において、垂直同期信号 V_{sync} の1周期長を計測して、その1周期長を入力信号の1フレーム長 T_v とする。次いで、ステップ101で固定長のリセット期間とこれも固定長のアドレス期間とを足してサブフレーム数倍し、さらに現在の輝度に対応するROMテーブルのアドレスからサステインパルスの合計数を求める。今、表示信号の輝度が、例えば図7のアドレスMCBC126に対応するものであると、そのアドレスの合計のサステインパルス数として377が得られる。これを基に1フレーム中の維持放電期間を算出し、算出された維持放電期間と、固定長のリセット期間およびアドレス期間から1駆動期間長 T_g を求める。次に、ステップ102で、1フレーム長 T_v と1駆動期間長 T_g とを比較し、 $T_v < T_g$ であれば、すなわち入力信号の1フレーム長が1駆動期間長に満たない場合は、ステップ103で $T_g - T_v$ の演算を行い、その差 T_r を求める。ステップ104では、この差 T_r を適宜設定した定数Aで割って、ROMテーブルのアドレスステップの引き下げ幅を決定し、この値を現在のROMテーブルのアドレス

値MCBC126から差し引くことによって、補正されたROMテーブルのアドレス値BCmax、例えばアドレスMCBC124を求める。定数Aは適当な定数であり、このAの値を宜設定することによって、ROMテーブルのアドレス値が充分引き下げられ、その結果サステインパルス数が充分減少し、1駆動期間長 T_g の長さが減少して1フレーム長 T_v 内に納まるようになり、信号の異常表示を回避することができる。例えばアドレスMCBC126からアドレスMCBC124へ引き下げられると、サステインパルスの合計数は377から369に減少し、サステインパルス数の減少に伴って1駆動期間長 T_g が減少し、1フレーム長内に納まるようになる。なお、ステップ102で $T_v < T_g$ でなければ、アドレス値MCBCをそのまま使用する。

【0043】定数Aの値が大きいと、場合によってはROMテーブルのアドレス値の引き下げが充分でなく、1駆動期間長 T_g を1フレーム長 T_v 内に収める事が出来ない事がある。一方、定数Aの値を小さくすればこのような不都合は回避できるが、今度はROMテーブルのアドレス値の飛び幅が大きくなって、輝度変化が目立ち過ぎると言う好ましくない状態を招く。

【0044】これを回避するためには、定数Aの値を出るだけ大きくするとともに、図に点線で示すようにステップ104の出力を、リターン（RET）ではなく、ステップ101の入力に繋げばよい。このようにすることによって、ROMテーブルのアドレス値を小刻みに下げながら、1駆動期間長 T_g の再計算と $T_v < T_g$ の再評価を繰り返し、急激な輝度変化を避けながら適正なROMテーブルのアドレス値を検出することができる。

【0045】（実施形態2）図9に示すフローチャートは、入力信号のフレーム長に比べて1駆動期間長が短い場合、サステインパルス数を増加させて、輝度を上げる処理プロセスを示すものである。なお以下の各実施形態の説明において、同一あるいは類似の処理ステップには同一の符号を付し、したがってその重複した説明は行わない。

【0046】ステップ100において、垂直同期信号 V_{sync} の1周期長を計測して、その1周期長を入力信号の1フレーム長 T_v とする。次いで、ステップ101で輝度に対応するROMテーブルのアドレス、例えばMCBC124におけるサステインパルスの合計数369から1駆動期間長 T_g を求める。次に、ステップ200で、1フレーム長 T_v と1駆動期間長 T_g とを比較し、 $T_v > T_g$ であれば、すなわち入力信号の1フレーム長が1駆動期間長よりも長い場合は、ステップ201で $T_v - T_g$ の演算を行い、その差 T_r を求める。ステップ202では、この差 T_r を適宜設定した定数Aで割って、ROMテーブルのアドレスステップの引き上げ幅を決定し、この値を現在のROMテーブルのアドレス値MCBC124に加えることによって、補正されたROMテー

ブルのアドレス値BCmax、例えばMCBC126を求める。この結果、サスティンパルスの合計数が、369から377に増加した分、輝度が上昇する。なお実施形態1の説明の項で述べたように、定数Aを出来るだけ大きく設定し、ステップ202の出力をステップ101の入力に接続し、ステップ101からステップ202の処理を繰り返し行うことによって、可能な限り大きいBCmaxを得ることができる。この結果、パネルの輝度を正常表示が可能な範囲で最高に設定することができる。

【0047】なお、実施形態1と実施形態2を組み合わせることによって次のような処理も可能である。すなわち、図8に示すフローチャートでの処理の結果、ROMテーブルのアドレス値が、例えばアドレスMCBC126からアドレスMCBC122まで引き下げられた結果、1フレーム長Tvが1駆動期間長Tgより大きくなった場合、今度は図9に示すステップ200から202を実行して、ROMテーブルのアドレス値を例えばMCBC125まで引き上げて輝度を上げる。これによって、正常表示が可能な範囲で輝度を最高にすることができる。

【0048】（実施形態3）以上の実施形態では、外部入力信号の1フレーム長が変化しない場合を想定している。しかしながら、例えばビデオテーブルコーダでは通常再生モード（60Hz）と早送り再生モード（61.5Hz）では周波数が異なり、さらにこれらのモードは繰り返して使用されるのが一般的である。この場合、通常再生モードから早送り再生モードに変わると入力信号のフレーム長Tvが短くなるので、図8に示したフローチャートに従ってサスティンパルス数を直ちに削減して正常な表示を行う必要がある。ところが、前述したように早送り再生モードと通常再生モードは繰り返して使用されるものであり、早送り再生モードから通常再生モードに一時的に復帰した場合にサスティンパルス数を元の数値に戻して輝度を上げると、再び次の早送り再生モードで輝度を下げねばならず、その結果、輝度の変化が非常に激しくなる。したがってこの実施形態では、早送り再生モードから通常再生モードへの一時的な復帰の際には輝度を元に戻す処理を行わず、完全に通常再生モードに戻ってから輝度を元に戻すことにより、急激な輝度変化を回避しようとするものである。

【0049】この目的を達成するために本実施形態では、図10に示すように、図8のフローチャートに対してカウンタCTを0にリセットするステップ300、 $Tv < Tg$ の比較を行った後カウンタCTの値を所定値Fに設定するステップ301、ステップ104で輝度補正を行った後カウンタCTの値が0であるか否かを判定するステップ302、カウンタCTの値を1だけ減らすステップ303、およびステップ302でカウンタCTの値が0になった場合、ステップ104で補正された輝度

値BCmaxをもとの値MCBCに復帰させるステップ304を設けている。

【0050】したがって図10のフローチャートに従えば、例えば通常再生モードから早送り再生モードへの変化に伴って入力信号の1フレーム長が60Hzから61.5Hzに変化すると、ステップ100～103でサスティンパルス数を直ちに削減することにより、正常な表示が行われる。次に、一時的に早送り再生モードから通常再生モードに戻り、ステップ102で $Tv \geq Tg$ と成った場合でも、カウンタCTの値がFから0に戻るまでこの状態が連続しない限り、輝度の再修正を行わず、輝度を早送り再生モード時の値BCmaxに保つ。 $Tv \geq Tg$ のままで一定時間（Fによって決定される）が経過すると、この状態はもはや早送り再生モードから通常再生モードへの一時的な復帰とは見做されず、したがってステップ304において輝度をBCmaxから通常再生モードの輝度である元の輝度MCBCに復帰させる。この結果、通常再生モードと早送り再生モード間の繰り返しによる輝度の急激な変化が回避できる。

【0051】以上に述べた各実施形態は、いずれもサスティンパルス数を変更することによって入力信号のフレーム長の変化に対応するものである。しかしながら以下に述べる実施形態は、パネルの走査ライン数を変更することによってフレーム長の変化に対処しようとするものである。走査ライン数の変更は、例えば図1に示す各サブフレームにおいてアドレス期間を一樣に変更するものであり、したがって走査ライン数を削減することにより、1駆動期間長が減少し、反対に走査ライン数を増加することによって、1駆動期間長が増加する。

【0052】（実施形態4）図11に示す実施形態では、サスティンパルス数を変更する実施形態1と同様にしてステップ100、101でTv演算、Tg演算を行い、ステップ102でTvとTgの比較を行い、フレーム長Tvが駆動期間長Tgよりも短いと、ステップ103でTv、Tg間の差Trを検出し、次にステップ400で、現在のライン数NLから Tr/Tg を引いて新しいライン数NLmaxを設定する演算を行う。Tg1は、1ラインあたりの駆動期間を示している。この結果、アドレス期間が短縮され、1駆動期間長Tgが1フレーム長Tv内に納まるようになり、異常表示を回避することができる。

【0053】（実施形態5）図12に示す実施形態では、ステップ200で1フレーム長Tvが1駆動期間長Tgよりも長い事が検出されると、ステップ201で、 $Tv - Tg$ の演算を行い、その差Trを得る。次にステップ500で、差Trを1ラインあたりの駆動期間Tg1で割りその商を現在のライン数に加算する演算を行い、補正後のライン数NLmaxを得る。このようにして表示ライン数を、 $Tv > Tg$ の範囲内で最大にすることができる。

【0054】（実施形態6）図13に示すフローチャートは、表示ライン数を減少して異常表示を回避しようとする図11に示す実施形態4に対して、入力信号の一時的な周波数変動に対処しうる機能を付加したものである。この機能は、実施形態3の項で説明したのと同じ必要性に基づいているので、その説明は省略する。本実施形態では、図11の実施形態4に係るフローチャートにおいて、カウンタCTを0にリセットするステップ600、カウンタCTを所定値Fに設定するステップ601、カウンタCTが0であるか否かを判定するステップ602、カウンタCTを1だけ減らすステップ603およびステップ100～103および400によって補正されたライン数NLmaxを元のライン数NLに戻すステップ604を付加したものである。なおこの実施形態6は、実施形態3においてサステインパルス数の減少を表示ライン数の減少に変更したのみで、その他のプロセスに変更は無いので、その詳細な説明は省略する。

【0055】なお、実施形態4～6は、既存のマルチスキャン対策の補完技術としても有効である。例えば、サブフレーム方式のPDPには垂直同期信号（Vsync）の周期に合わせてサブフレームを間引くようにした、いわゆる「マルチVsync機能」を搭載したものがあ

るが、このものは、最小のサブフレーム（上記例示ではSF1）単位でしか駆動期間の長さを調節できないため、大雑把な調節にならざるを得ないと言う欠点がある。ところが本実施形態の技術を適用すれば、きめ細かな調節が可能となり、サブフレームの間引き効果と相まって、幅広い周波数に対応した汎用性の高いPDPを提供できる。

【0056】（実施形態7）前記実施形態1または2では、PDPが接続された機器からの入力信号の周波数が

変化すると、表示される輝度が変化する。したがって本来は同じ輝度であっても、接続される機器によっては異なる輝度として表示される事態が発生する。図14に示すフローチャートは、このような事態に対処べく構成された本発明の第7の実施形態を示すものである。

【0057】本実施形態では、まずステップ100で入力された表示信号の1周期長から1フレーム長Tvを演算する。次にステップ700で、この1フレーム長Tvに対する表示可能なサステインパルス数[Nsus(Tv)]を演算し、このサステインパルス数に1サステインパルスあたりの輝度Ysusを掛け合わせることで、表示可能な最高輝度Ymaxを得る。一方、入力周波数に依存することなく表示輝度を一定にするために、基準となる輝度（設定輝度Yc）を予め設定して置く。ステップ701では、得られた最高輝度Ymaxとこの設定輝度Ycとを比較し、両者が一致しない場合、ステップ702に移って、サステインパルス数を補正して設定輝度Ycに一致させる処理を行う。すなわち最高輝度Ymaxから所定輝度Ycを引いてその差を1サステインパルスあたりの輝度Ysusで割ることにより、

サステインパルス数の補正值を得て、これを現在の1フレーム長Tvにおける表示可能なサステインパルス数Nsusより引くことにより、設定輝度Ycに対応したサステインパルス数を得ることができる。

【0058】以上の結果、様々なフレーム長の入力信号に対して、表示輝度が一定となるようにサステインパルス数を調節して表示品質を改善することができる。

【0059】

【発明の効果】以上例を挙げて説明したように、本発明のプラズマディスプレイ装置では、1フレーム長と1駆動期間長との関係が適切になるように、サステインパルス数あるいは走査ライン数を調節するので、様々な周波数を有する外部機器へ接続された場合でも、正常な表示が可能である。従って本発明は、汎用性の高いプラズマディスプレイ装置を提供するものである。

【図面の簡単な説明】

【図1】PDPを駆動するためのサブフレーム方式の説明に供する図である。

【図2】PDPの駆動波形の1例を示す図である。

【図3】輝度制御のためのROMデータの格納図である。

【図4】本発明の原理図である。

【図5】本発明のPDPの全体構成を示す図である。

【図6】図5の一部を詳細に示す図である。

【図7】本発明の実施形態の説明に供するROMデータの格納図である。

【図8】本発明の第1の実施形態にかかるフローチャートである。

【図9】本発明の第2の実施形態にかかるフローチャートである。

【図10】本発明の第3の実施形態にかかるフローチャートである。

【図11】本発明の第4の実施形態にかかるフローチャートである。

【図12】本発明の第5の実施形態にかかるフローチャートである。

【図13】本発明の第6の実施形態にかかるフローチャートである。

【図14】本発明の第7の実施形態にかかるフローチャートである。

【符号の説明】

10…フレーム長演算手段

11…サステインパルス数検出手段

12…駆動期間長演算手段

14…比較手段

16…サステインパルス数および／または表示ライン数の変更手段

20…PDP

21…アドレスドライバ

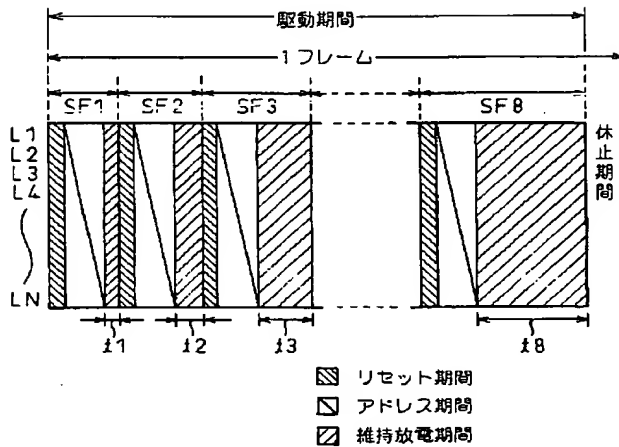
22…Yスキャンドライバ

19

2 3...Y 共通ドライバ
2 4...X 共通ドライバ
2 5...制御回路

【図 1】

サブフレーム方式のフレーム構成図



20

2 6...表示データ制御部
2 8...スキャンドライバ制御部
2 9...共通ドライバ制御部

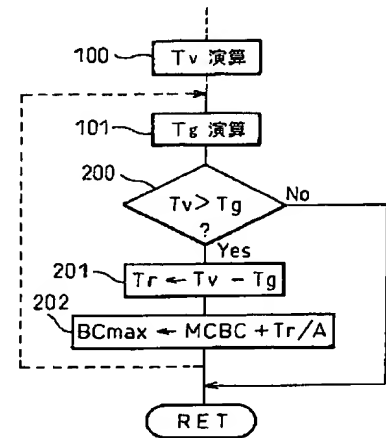
【図 3】

ROMデータ格納図

	SF1	SF2	SF3	SF4
SUS0	1	2	4	8
SUS1	1	2	4	9
SUS2	1	2	5	9
SUS3	1	2	5	10
SUS4	1	3	5	10
SUS5	1	3	5	11
SUS 127	16	32	64	128

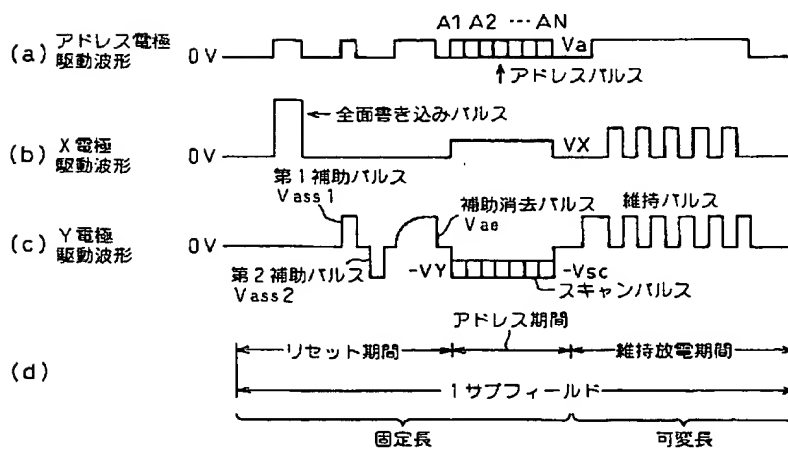
【図 9】

実施形態 2



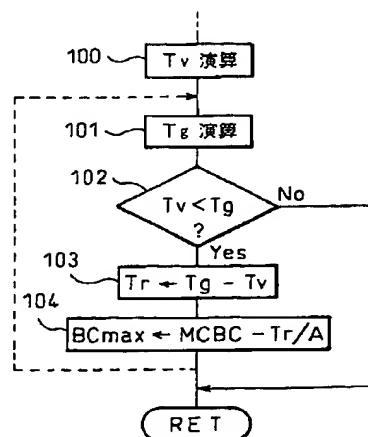
【図 2】

PDPの駆動波形図



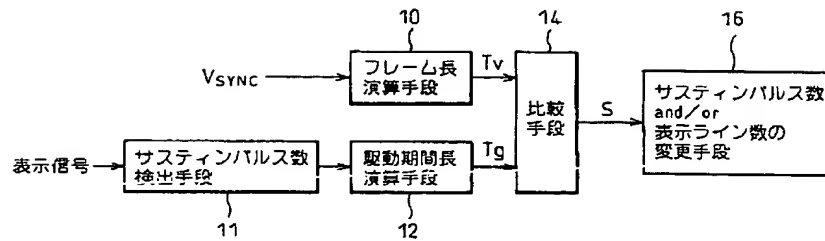
【図 8】

実施形態 1



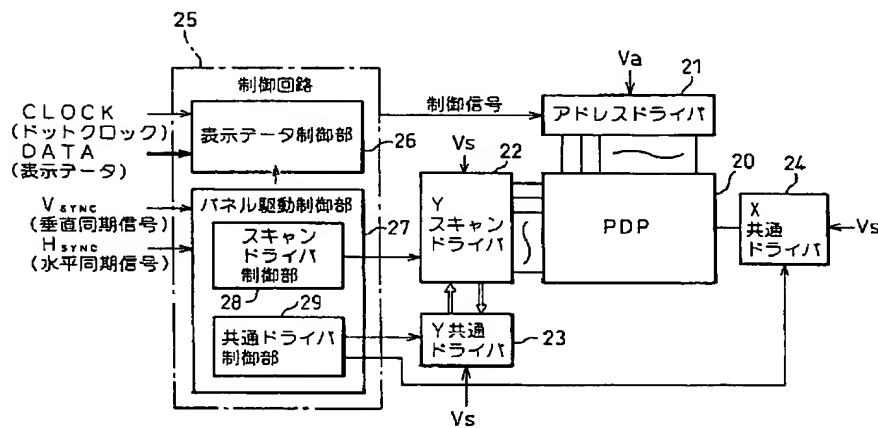
【図4】

本発明の原理図

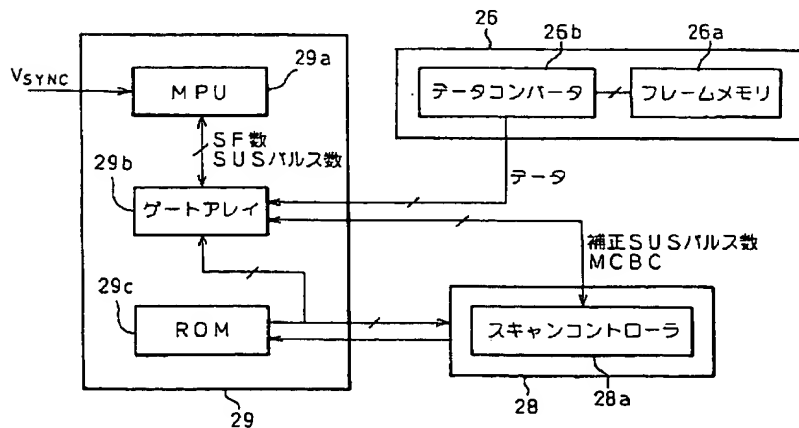


【図5】

PDP及びその駆動装置の概略構成図

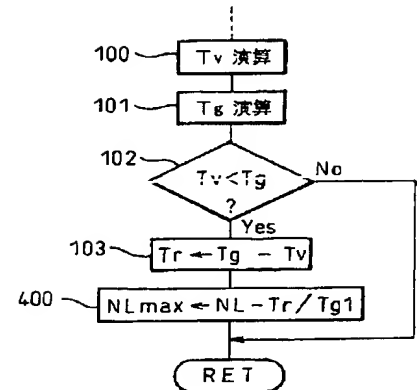


【図6】



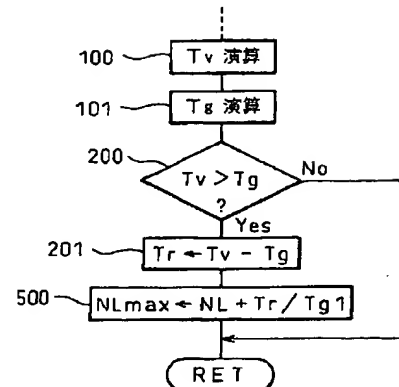
【図11】

実施形態4



【図12】

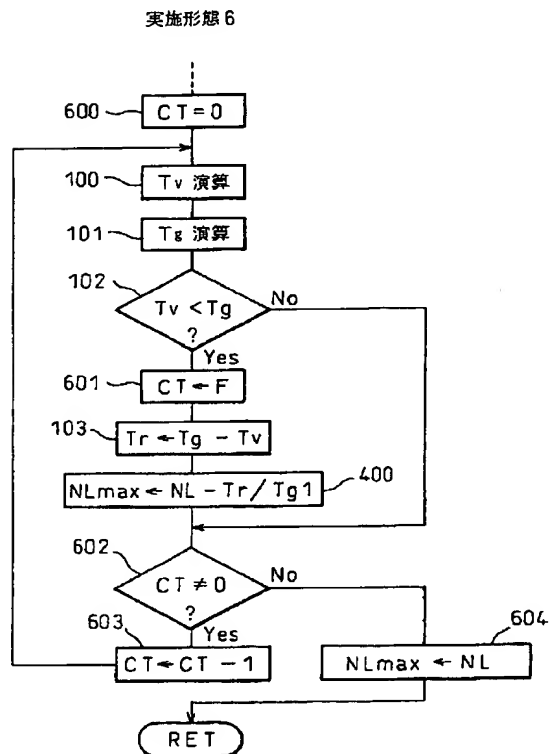
実施形態5



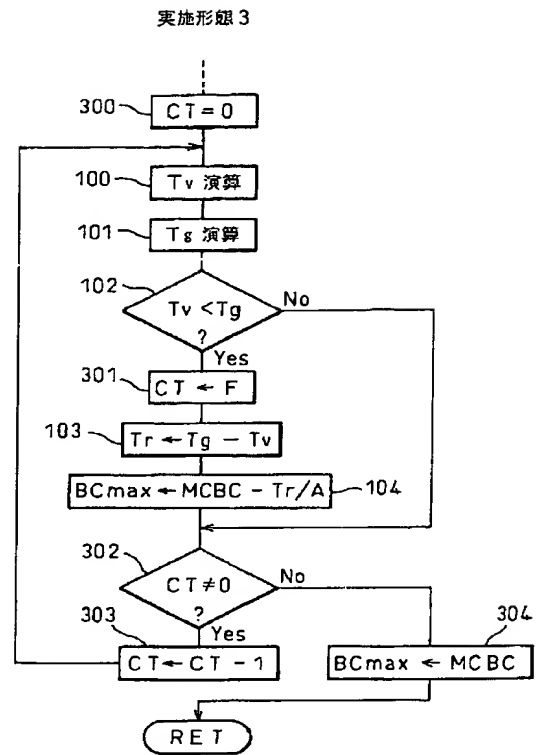
【図7】

アドレス	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SUSパルスの 合計数
MCBC127	3	6	12	24	48	96	96	96	381
MCBC126	3	6	12	24	47	95	95	95	377
MCBC125	3	6	12	23	47	94	94	94	373
MCBC124	3	6	12	23	46	93	93	93	369
MCBC123	3	6	11	23	46	92	92	92	365
...
MCBC 1	1	2	4	8	17	33	33	33	131
MCBC 0	1	2	4	8	16	32	32	32	127

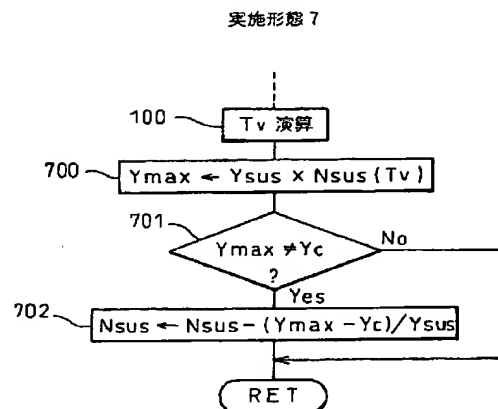
【図13】



【図10】



【図14】



フロントページの続き

(72)発明者 栗山 博仁
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 石田 勝啓
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 山本 晃
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内